

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-353272
(43)Date of publication of application : 06.12.2002

(51)Int.Cl.

H01L 21/60
H01L 23/12
H01L 25/065
H01L 25/07
H01L 25/18
H05K 3/34

(21)Application number : 2001-157076

(71)Applicant : FUJITSU LTD

(22)Date of filing : 25.05.2001

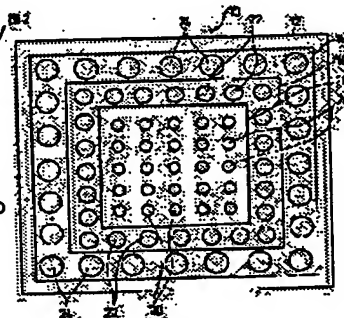
(72)Inventor : FUJIMORI KUNIIJI
YAMAGUCHI ICHIRO
YOSHIKAWA MASAHIRO

(54) SOLDER BUMP FORMING METHOD AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a solder bump forming method by which a semiconductor device having a three-dimensional mounting configuration can be easily and surely obtained with regard to the solder bump forming method and the semiconductor device.

SOLUTION: The solder bump forming method comprises a process for forming a film 26 covering a surface of a substrate 12 having a plurality of groups of electrode pads 20A, 22A and 24A, a process for forming openings 20B, 22B and 24B corresponding to each electrode pad and having different sizes in each corresponding electrode pad group in the film 26, a process of forming bump electrodes 20, 22 and 24 which are fixed in the electrode pads within the openings, and a process of removing the film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The formation approach of the solder bump characterized by to consist of the process which forms opening from which the front face of the substrate which has the electrode pad of two or more groups is corresponded to the process which forms the wrap film, and this film at each electrode pad, and magnitude differs for every group of this electrode pad, a process which forms the bump electrode fixed to the electrode pad within this opening, and a process which removes this film.

[Claim 2] The process which forms this bump electrode is the formation approach of the solder bump electrode according to claim 1 characterized by including filling up these opening circles with soldering paste, and performing a reflow.

[Claim 3] When the electrode pad of two or more groups makes n the natural number including the electrode pad of the 1st group, and the electrode pad of the 2nd group at least, Formation of the bump electrode on the electrode pad of the 1st group is carried out by restoration and the reflow of n times of soldering paste. Formation of the bump electrode on the electrode pad of the 2nd group is the formation approach of the solder bump according to claim 2 characterized by different restoration and the different reflow of the soldering paste of a count carrying out in n times.

[Claim 4] The semiconductor device which comes to join the substrate which is formed in either of claims 1-3 by the formation approach of the solder bump of a publication, and has a bump electrode, and the electric element which has an electrode pad with a bump electrode.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the approach of forming a bump electrode on the electrode pad prepared on the substrate. Moreover, this invention relates to the semiconductor device which comes to join the substrate which has a bump electrode, and the electric element which has an electrode pad with a bump electrode.

[0002]

[Description of the Prior Art] Although densification is demanded of electronic-parts mounting in recent years, the system LSI which made two or more functions unify as further densification has been required. Although it was going to give two or more functions to the single semiconductor device in order to reply to this demand, many current practical use of the trouble on manufacture is not carried out. Instead of this, the semiconductor device which mounted the semiconductor device which has each function in three dimension attracts attention. For example, the laminating of the two semiconductor chips is carried out, and this layered product is mounted in a substrate. In the semiconductor device of such a three dimension mounting gestalt, connection between a semiconductor device and a semiconductor device and between a semiconductor device and a substrate is made by wirebonding conventionally [most]. If such connection can be made with a bump electrode, it will be more high-density and improvement in the speed will become possible.

[0003]

[Problem(s) to be Solved by the Invention] However, in order to obtain the semiconductor device of a three dimension mounting gestalt using a bump electrode, it is necessary to form a bump electrode in each semiconductor device, and to mount two semiconductor devices using a bump electrode, to use a bump electrode for the further semiconductor device or the further substrate, and to mount the layered product obtained in this way in it. Such a three dimension mounting gestalt will lead to the rise of the number of production processes, or a manufacturing cost.

[0004] Furthermore, with the formation of a ** pitch of a bump electrode, if the variation in the height of a bump electrode is large, there will be a danger that the probability for poor junction to occur will become high, and it will be thought that it is not an efficient approach. Moreover, as a trouble on mounting, short-circuit may occur in a bump electrode comrade by the variation in the load [be / it / the bump electrode of a single presentation] at the time of mounting of a semi-conductor etc. In the case of the solder bump electrode of an eutectic presentation, especially this inclination may be seen. Furthermore, it also has the problem that it will be weak against heat stress and the semi-conductor joined with the bump electrode will separate.

[0005] The purpose of this invention is offering the semiconductor device manufactured by the formation approach of the solder bump who can get the semiconductor device of a easier and three dimension mounting gestalt certainly, and such a solder bump's formation approach.

[0006]

[Means for Solving the Problem] The formation approach of the solder bump by this invention is characterized by to consist of the process which forms opening from which the front face of the substrate which has the electrode pad of two or more groups is corresponded to the process which forms the wrap film, and this film at each electrode pad, and magnitude differs for every group of this electrode pad, a process which forms the bump electrode fixed to the electrode pad within this opening, and a process which remove this film.

[0007] According to this approach, the bump electrode of two or more groups is formed on a substrate. For example, the bump electrode of the 1st group is for joining the 1st semiconductor device, and the bump electrode of the 2nd group is for joining the 2nd semiconductor device. Thus, two semiconductor devices can be easily mounted in one substrate. And if the bump electrode of the 2nd group is more expensive than the bump electrode of the 1st group, where it mounted the 1st semiconductor device in the substrate with the bump electrode of the 1st group first and the 2nd semiconductor device is carried on the 1st semiconductor device, it can mount in a substrate with the bump electrode of the 2nd group. Furthermore, the bump electrode of the 1st group can differ in a presentation from the bump electrode of the 2nd group. If it carries out like this, temperature can be changed, mounting of the 1st semiconductor device and mounting of the 2nd semiconductor device can be performed, generating of poor manufacture can be suppressed, and a cost rise can be prevented. Furthermore, each bump electrode eases the stress after the time of mounting, or mounting while it can also be made into the

structure of having a high-melting core and prevents the bump short-circuit at the time of mounting.

[0008]

[Embodiment of the Invention] The example of this invention is explained with reference to a drawing below. Drawing 1 is the sectional view showing the semiconductor device of the example of this invention. Drawing 2 is the rough explanation-top view showing the semiconductor device of drawing 1. A semiconductor device 10 consists of a printed-circuit board 12, the 1st semiconductor device 14, the 2nd semiconductor device 16, and the 3rd semiconductor device 18. The 1st, 2nd, and 3rd semiconductor device 14, 16, and 18 has a function which is different in each.

[0009] In drawing 1 and drawing 2, although the printed-circuit board 12 is illustrated as a substrate, the substrate of this invention is not limited to a printed-circuit board 12. When only calling it a substrate on these specifications, all the things of others which can be set as the formation object of not only the substrate of narrow senses, such as a printed-circuit board and a semi-conductor wafer, but a bump electrode are pointed out.

[0010] A printed-circuit board 12 contains the bump electrode 20 of the 1st group, the bump electrode 22 of the 2nd group, and the bump electrode 24 of the 3rd group. The bump electrode 20 of the 1st group is located in the center section of the printed-circuit board 12, and is the shortest, and its area is the smallest. It is located in the outside of the bump electrode 20 of the 1st group, the bump electrode 22 of the 2nd group is tall, and its area is larger than the bump electrode 20 of the 1st group. It is located in the outside of the bump electrode 22 of the 2nd group, the bump electrode 24 of the 3rd group is tall, and its area is larger than the bump electrode 22 of the 2nd group.

[0011] The 1st semiconductor device 14 is mounted in a printed-circuit board 12 with the bump electrode 20 of the 1st group. The 2nd semiconductor device 16 is mounted in a printed-circuit board 12 with the bump electrode 22 of the 2nd group in the condition of having appeared in the 1st semiconductor device 14. The 2nd semiconductor device 18 is mounted in a printed-circuit board 12 with the bump electrode 24 of the 3rd group in the condition of having appeared in the 2nd semiconductor device 16. Thus, the semiconductor device 10 which consists of three semiconductor devices 14, 16, and 18 mounted in three dimension can be manufactured simply and certainly. In this example, the bump electrode for two or more semiconductor devices bundles up to a single substrate, and is formed in it.

[0012] Drawing 3 is drawing showing the formation approach of the solder bump of the example of this invention. Drawing 4 is drawing showing the process of a continuation of the formation approach of the solder bump of drawing 3. Drawing 5 is drawing showing the process of a continuation of the formation approach of the solder bump of drawing 3. In drawing 3 (A), the printed-circuit board 12 which has the electrode pads 20A, 22A, and 24A of two or more groups is prepared. Electrode pad 20A of the 1st group is formed in the location corresponding to the bump electrode 20 of the 1st group of drawing 1. Electrode pad 22A of the 2nd group is formed in the location corresponding to the bump electrode 22 of the 2nd group of drawing 1. Electrode pad 24A of the 3rd group is formed in the location corresponding to the bump electrode 24 of the 3rd group of drawing 1. The area of electrode pad 24A of the 3rd group is larger than the area of electrode pad 22A of the 2nd group, and the area of electrode pad 22A of the 2nd group is larger than the area of electrode pad 20A of the 1st group.

[0013] The front face of a printed-circuit board 12 is covered, and it is formed so that the film 26 of resin may cover the electrode pads 20A, 22A, and 24A. The film 26 of resin consists of a resist preferably. The film 26 of resin consists of a dry film resist laminated on the front face of a printed-circuit board 12 in an example. Moreover, the resist applied to the front face of a printed-circuit board 12 is sufficient as the film 26 of resin.

[0014] In drawing 3 (B), the openings 20B, 22B, and 24B from which it corresponds to the film 26 of resin at each electrode pads 20A, 22A, and 24A, and magnitude differs for every this electrode pad 20A and 22A and 24A groups are formed. Openings 20B, 22B, and 24B are formed in the film 26 of the resin which consists of a resist of exposure and development. At this time, the magnitude of opening 22B for

forming the bump electrode 22 for joining the 2nd semiconductor device 16 mounted in the 2nd step is formed more greatly than the magnitude of opening 20A for forming the bump electrode 20, in order to join the 1st semiconductor device 14 mounted in the 1st step. The magnitude of opening 24B for forming the bump electrode 24 for similarly joining the 3rd semiconductor device 18 mounted in the 3rd step is formed more greatly than the magnitude of opening 22A for forming the bump electrode 22, in order to join the 2nd semiconductor device 16 mounted in the 2nd step.

[0015] In drawing 3 (C), the soldering paste 28 containing the metal used as a bump electrode is supplied to the front face of the film 26 of resin, and Openings 20B, 22B, and 24B are filled up with soldering paste 28 by skiing JINGU. In drawing 3 (D), a reflow of the soldering paste 28 is carried out, and the bump electrodes 20, 22, and 24 are formed with the metal in soldering paste 28. Joining of the bump electrodes 20, 22, and 24 is carried out to the electrode pads 20A, 22A, and 24A, respectively. Then, the flux component in soldering paste 28 is washed.

[0016] In drawing 4 (A), the metal mask 30 which has opening only in the location equivalent to opening 22B for forming the bump electrode 22 for joining the 2nd semiconductor device 16 mounted in the 2nd step is put, and opening 22B is filled up with soldering paste 32 by skiing JINGU. The melting point of the metal in this soldering paste 32 is lower than the melting point of the metal in the soldering paste 28 with which it filled up first. For example, the metal in the soldering paste 28 with which the 1st time was filled up is the alloy of Sn:Pb=90-95:10-5. The metal in the soldering paste 32 with which the 2nd time was filled up is the alloy of Sn:Ag=99-95:1-5.

[0017] The metal mask 30 is removed in drawing 4 (B). In drawing 4 (C), a reflow of the soldering paste 32 is carried out, and the reconstitution of the bump electrode 22 is carried out. A reflow is carried out by heating at temperature lower [than the melting point of the metal in the soldering paste 28 with which it filled up first] and higher than the melting point of the metal in the soldering paste 32 with which it filled up this time. The metal in soldering paste 32 fuses and the parts (core) of the bump electrodes 20 and 24 formed with the metal in the soldering paste 28 formed before and the bump electrode 22 are not fused. In this way, the bump electrode 22 which has a high-melting core is formed. The height of the bump electrode 22 becomes higher than the height of the bump electrode 20. Then, the flux component in soldering paste 32 is washed.

[0018] Furthermore, in drawing 5 (A), the metal mask 34 which has opening only in the location equivalent to opening 24B for forming the bump electrode 24 for joining the 3rd semiconductor device 18 mounted in the 3rd step is put, and opening 24B is filled up with soldering paste 36 by skiing JINGU. This soldering paste 36 contains the metal which has the melting point lower than the melting point of the metal in the soldering paste 32 with which the 2nd time was filled up. For example, the metal in the soldering paste 36 with which the 3rd time was filled up is the alloy of Sn:Pb=60-70:40-30.

[0019] The metal mask 34 is removed in drawing 5 (B). In drawing 5 (C), a reflow of the soldering paste 36 is carried out, and the reconstitution of the bump electrode 24 is carried out. A reflow is carried out by heating at temperature lower [than the melting point of the metal in the soldering paste 32 with which the 2nd time was filled up] and higher than the melting point of the metal in the soldering paste 36 with which it filled up this time. The metal in soldering paste 36 fuses and the core of the soldering paste 28 formed before, the bump electrodes 20 and 22 formed with the metal in 32, and the bump electrode 24 is not fused. In this way, the bump electrode 24 which has a high-melting core is formed. The height of the bump electrode 24 becomes higher than the height of the bump electrodes 22 and 20. Then, the flux component in soldering paste 32 is washed.

[0020] In drawing 5 (D), the film 26 of the resin which had covered the printed-circuit board 12 is exfoliated. By this, a printed-circuit board 12 will have two or more bump electrodes 20, 22, and 24 with which size and a presentation differ from height. The semiconductor device 10 of the three dimension mounting structure shown in drawing 1 and drawing 2 can be obtained by carrying out flip chip mounting of the 1st, 2nd, and 3rd semiconductor device 14, 16, and 18 at a printed-circuit board 12 at the temperature which was adapted for the presentation of these bump electrodes 20, 22, and 24. In this

case, the 1st, 2nd, and 3rd semiconductor device 14, 16, and 18 is gradually mounted according to the melting point of the bump electrodes 20, 22, and 24. The semiconductor devices 16 and 18 of the upper case by which laminating mounting is carried out have the long side compared with the semiconductor devices 14 and 16 of the lower berth.

[0021] It is possible to manufacture the semiconductor device of the package by which laminating mounting was carried out with the chip on chip package, system in package, and chip module on chip, and a modularization gestalt using the bump electrode formed by the above-mentioned approach. As explained above, in order to perform bare chip mounting by forming in up to a single substrate the bump electrode with which size and a presentation differ from height, the process which forms a bump electrode in each semiconductor device can be skipped. Simplification of the substrate which forms a bump electrode is also possible. Since the size of the electrode pad for semiconductor devices mounted in an upper case and a bump electrode is large, the electric poor contact by peeling between the bump electrode by mounting stress and an electrode pad can be prevented. Moreover, since each bump electrode has the high-melting core, while it can prevent the bump inter-electrode short-circuit at the time of mounting, a change of the bump by the stress which starts after the time of mounting and mounting can be absorbed, and effectiveness is large.

[0022] Moreover, in this example, after forming opening divided into the film 26 of resin by two or more groups, the opening is filled up with soldering paste and a bump electrode is formed by the reflow. and the approach of performing, when restoration of the soldering paste to opening of the film 26 of resin carries out skiing JINGU of the soldering paste on the front face of the film 26 of resin — or there is an approach with which puts a metal mask and it is filled up by skiing JINGU. These two skiing JINGU is used together in this example. No bump electrodes other than the bump electrode formed at the last process have projected the bump electrode formed by the above-mentioned approach rather than the film of resin.

[0023] Drawing 6 is the rough explanation-top view showing the semiconductor device of other examples of this invention. A semiconductor device 40 consists of a printed-circuit board 42, the 1st semiconductor device 24, the 2nd semiconductor device 26, and the 3rd semiconductor device 28. The 2nd and 3rd semiconductor device 26 and 18 has the same function mutually. A printed-circuit board 42 contains the bump electrode 50 of the 1st group, the bump electrode 52 of the 2nd group, and the bump electrode 54 of the 3rd group. The bump electrode 50 of the 1st group is located in the center section of the printed-circuit board 42, and is the shortest, and its area is the smallest. They are mutually located in the outside of the bump electrode 50 of the 1st group at the symmetry, the bump electrodes 52 and 54 of the 2nd and 3rd group are tall, and its area is larger than the bump electrode 50 of the 1st group. The 1st semiconductor device 44 is mounted in a printed-circuit board 42 with the bump electrode 50 of the 1st group. The 2nd and 3rd semiconductor device 46 and 48 is mounted in a printed-circuit board 42 with the bump electrodes 52 and 54 of the 2nd and 3rd group in the condition of having appeared in the 1st semiconductor device 44. From drawing 3, with reference to drawing 5, as the bump electrodes 50, 52, and 54 were explained to the printed-circuit board 42, they are formed in it. However, since the bump electrodes 52 and 54 of the 2nd and 3rd group are formed in coincidence, restoration and the reflow of soldering paste are good at 2 times. Thus, two or more semiconductor devices with a function which is [which were and same-functioned] different can also be formed in juxtaposition.

[0024] Drawing 7 is the rough explanation-top view showing the semiconductor device of other examples of this invention. A semiconductor device 60 consists of a printed-circuit board 62, the 1st semiconductor device 64, and the 2nd semiconductor device 66. A printed-circuit board 62 contains the bump electrode 68 of the 1st group, and the bump electrode 70 of the 2nd group. The bump electrode 68 of the 1st group is located in the center section of the printed-circuit board 62, and is the shortest, and its area is the smallest. The bump electrode 70 of the 2nd group is located on the diagonal line of a printed-circuit board 62 on the outside of the bump electrode 68 of the 1st group. The 1st

semiconductor device 64 is mounted in a printed-circuit board 62 with the bump electrode 68 of the 1st group. The 2nd semiconductor device 66 is mounted in a printed-circuit board 62 with the bump electrode 70 of the 2nd group in the condition of having appeared in the 1st semiconductor device 64. From drawing 3, with reference to drawing 5, as the bump electrodes 68 and 70 were explained to the printed-circuit board 62, they are formed in it. However, restoration and the reflow of soldering paste are good at 2 times. Thus, according to the area of a substrate, a tooth space, and the situation of wiring, it becomes possible to mount a semi-conductor at all include angles. The example of this laminating is an example and is limited to neither two steps nor three steps. Multistage mounting beyond it is possible. The bump electrode of each group consists of two or more bump electrodes, and all arrangement is possible for two or more trains, a zigzag array, etc.

[0025]

[Effect of the Invention] As explained above, according to this invention, the bump electrode formation process to the semiconductor device which carries out laminating mounting can be skipped by forming the bump electrode which had two or more descriptions to the single substrate. Moreover, a bump electrode can be formed simply and certainly by preparing opening in the film prepared on the substrate, and forming a bump electrode. Moreover, the simplification of a substrate which has a bump electrode is also possible.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the semiconductor device of the example of this invention.

[Drawing 2] It is the rough explanation-top view showing the semiconductor device of drawing 1.

[Drawing 3] It is drawing showing the formation approach of the solder bump of the example of this invention.

[Drawing 4] It is drawing showing the process of a continuation of the formation approach of the solder bump of drawing 2.

[Drawing 5] It is drawing showing the process of a continuation of the formation approach of the solder bump of drawing 2.

[Drawing 6] It is the rough explanation-top view showing the semiconductor device of other examples of this invention.

[Drawing 7] It is the rough explanation-top view showing the semiconductor device of other examples of this invention.

[Description of Notations]

10 — Semiconductor device

12 — Printed-circuit board

14 — Semiconductor device

- 16 — Semiconductor device
 - 18 — Semiconductor device
 - 20 — Bump electrode
 - 20A — Electrode pad
 - 20B — Opening
 - 22 — Bump electrode
 - 22A — Electrode pad
 - 22B — Opening
 - 24 — Bump electrode
 - 24A — Electrode pad
 - 24B — Opening
 - 26 — Film
 - 28 — Soldering paste
 - 30 — Metal mask
 - 32 — Soldering paste
 - 34 — Metal mask
 - 36 — Soldering paste
-

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-353272
(P2002-353272A)

(43) 公開日 平成14年12月6日 (2002.12.6)

(51) Int.Cl.	識別記号	F I	ターミナル (参考)	
H 0 1 L 21/60	3 1 1	H 0 1 L 21/60	3 1 1 Q	5 E 3 1 9
23/12		H 0 5 K 3/34	5 0 5 A	5 F 0 4 4
25/065		H 0 1 L 25/08	Z	
25/07		23/12	F	
25/18				

審査請求 未請求 請求項の数 4 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願2001-157076(P2001-157076)

(22) 出願日 平成13年5月25日 (2001.5.25)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 藤森 城次

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 山口 一郎

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 100077517

弁理士 石田 敬 (外3名)

最終頁に続く

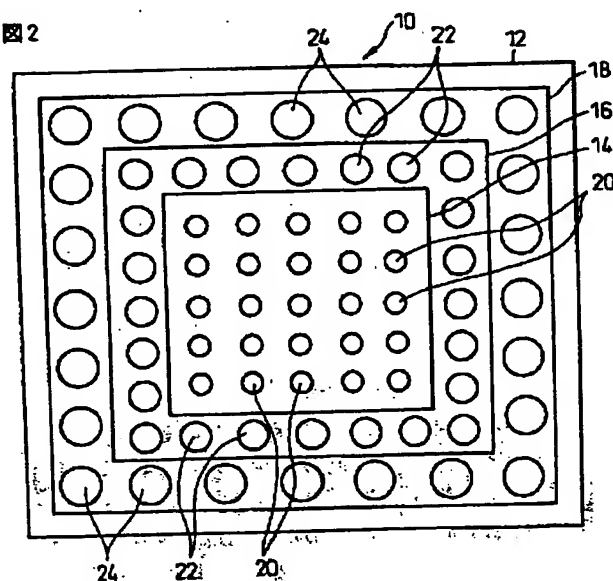
(54) 【発明の名称】 はんだバンプの形成方法および半導体装置

(57) 【要約】

【課題】 はんだバンプの形成方法および半導体装置に関し、簡単に且つ確実に3次元的な実装形態の半導体装置を得ることのできるはんだバンプの形成方法を提供することを目的とする。

【解決手段】 はんだバンプの形成方法は、複数の群の電極パッド20A、22A、24Aを有する基板12の表面を覆う膜26を形成する工程と、該膜26に各電極パッドに対応し且つ該電極パッドの群毎に大きさの異なる開口部20B、22B、24Bを形成する工程と、該開口部内で電極パッドに固定されたバンプ電極20、22、24を形成する工程と、該膜を除去する工程とからなる。

図2



(2)

【特許請求の範囲】

【請求項1】 複数の群の電極パッドを有する基板の表面を覆う膜を形成する工程と、
該膜に各電極パッドに対応し且つ該電極パッドの群毎に大きさの異なる開口部を形成する工程と、
該開口部内で電極パッドに固定されたバンパ電極を形成する工程と、
該膜を除去する工程とからなることを特徴とするはんだバンパの形成方法。

【請求項2】 該バンパ電極を形成する工程は、該開口部内にはんだペーストを充填し、それからリフローを行うことを含むことを特徴とする請求項1に記載のはんだバンパ電極の形成方法。

【請求項3】 複数の群の電極パッドは少なくとも第1群の電極パッド及び第2群の電極パッドを含み、 n を自然数とすると、第1群の電極パッド上のバンパ電極の形成は n 回のはんだペーストの充填及びリフローにより実施され、第2群の電極パッド上のバンパ電極の形成は n 回とは異なる回数のはんだペーストの充填及びリフローにより実施されることを特徴とする請求項2に記載のはんだバンパの形成方法。

【請求項4】 請求項1から3のいずれかに記載のはんだバンパの形成方法で形成されてバンパ電極を有する基板と、電極パッドを有する電気素子とをバンパ電極によって接合してなる半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は基板上に設けられた電極パッド上にバンパ電極を形成する方法に関する。また、本発明はバンパ電極を有する基板と、電極パッドを有する電気素子とをバンパ電極によって接合してなる半導体装置に関する。

【0002】

【従来の技術】 近年、電子部品実装には、高密度化が要求されているが、さらなる高密度化として、複数の機能を一体化させたシステムLSIが要求されてきた。この要求に答えるべく、単一の半導体素子に複数の機能をもたせようとしたが、製造上の問題点が多く現在実用されていない。これに代わり、それぞれの機能を有する半導体素子を3次元的に実装した半導体装置が注目されている。例えば2つの半導体チップを積層し、この積層体を基板に実装する。このような3次元的な実装形態の半導体装置では、半導体素子と半導体素子との間及び半導体素子と基板との間の接続は従来はほとんどワイヤボンディングによって行われている。このような接続をバンパ電極によって行うことができれば、より高密度で高速化が可能になる。

【0003】

【発明が解決しようとする課題】 しかしながら、バンパ電極を用いて3次元的な実装形態の半導体装置を得るに

2

は、個々の半導体素子にバンパ電極を形成し、それから2つの半導体素子をバンパ電極を用いて実装し、こうして得られた積層体をさらなる半導体素子又は基板にバンパ電極を用いて実装することが必要となる。このような3次元的な実装形態は、製造工程数や製造コストのアップにつながってしまう。

【0004】 さらに、バンパ電極の狭ピッチ化に伴い、バンパ電極の高さのバラツキが大きいと、接合不良が発生する確率が高くなる危険性もあり、効率的な方法ではないと思われる。また、実装上の問題点としては、単一組成のバンパ電極であると、半導体の実装時における荷重のバラツキ等によりバンパ電極同志でショートが発生する可能性がある。特に、この傾向は、共晶組成のはんだバンパ電極の場合に見られることがある。さらに、熱ストレスに脆く、バンパ電極により接合された半導体が剥がれてしまうという問題も抱えている。

【0005】 本発明の目的は、より簡単に且つ確実に3次元的な実装形態の半導体装置を得ることのできるはんたバンパの形成方法およびそのようなはんたバンパの形成方法で製造された半導体装置を提供することである。

【0006】

【課題を解決するための手段】 本発明によるはんたバンパの形成方法は、複数の群の電極パッドを有する基板の表面を覆う膜を形成する工程と、該膜に各電極パッドに対応し且つ該電極パッドの群毎に大きさの異なる開口部を形成する工程と、該開口部内で電極パッドに固定されたバンパ電極を形成する工程と、該膜を除去する工程とからなることを特徴とするものである。

【0007】 この方法によれば、基板上に複数の群のバンパ電極が形成される。例えば、第1の群のバンパ電極は第1の半導体素子を接合するためのものであり、第2の群のバンパ電極は第2の半導体素子を接合するためのものである。このようにして、1つの基板上に2つの半導体素子を容易に実装することができる。そして、第2の群のバンパ電極が第1の群のバンパ電極よりも高いと、最初に第1の半導体素子を第1の群のバンパ電極によって基板に実装し、それから第2の半導体素子を第1の半導体素子の上に載せた状態で第2の群のバンパ電極によって基板に実装することができる。さらに、第1の群のバンパ電極と第2の群のバンパ電極とは組成が異なるようにすることもできる。こうすれば、第1の半導体素子の実装と、第2の半導体素子の実装とを温度を変えて行うことができ、製造不良の発生を抑え、コストアップを防止することができる。さらに、各バンパ電極は高融点コアを有する構造とすることもでき、実装時のバンパショートを防止するとともに、実装時もしくは実装後のストレスを緩和する。

【0008】

【発明の実施の形態】 以下本発明の実施例について図面を参照して説明する。図1は本発明の実施例の半導体装

(3)

3

置を示す断面図である。図2は図1の半導体装置を示す略解的平面図である。半導体装置10は、プリント配線基板12と、第1の半導体素子14と、第2の半導体素子16と、第3の半導体素子18とからなる。第1、第2、第3の半導体素子14、16、18はそれぞれに異なった機能を有する。

【0009】図1及び図2においては、基板としてプリント配線基板12が例示されているが、本発明の基板はプリント配線基板12に限定されるものではない。本明細書で単に基板というときは、プリント配線基板や半導体ウエハなどの狭義の基板ばかりでなく、バンプ電極の形成対象となりうるその他の全てのものを指すものである。

【0010】プリント配線基板12は、第1群のバンプ電極20と、第2群のバンプ電極22と、第3群のバンプ電極24とを含む。第1群のバンプ電極20はプリント配線基板12の中央部に位置し、最も背が低く、且つ最も面積が小さい。第2群のバンプ電極22は第1群のバンプ電極20の外側に位置し、第1群のバンプ電極20よりも背が高く、且つ面積が大きい。第3群のバンプ電極24は第2群のバンプ電極22の外側に位置し、第2群のバンプ電極22よりも背が高く、且つ面積が大きい。

【0011】第1の半導体素子14は第1群のバンプ電極20によってプリント配線基板12に実装される。第2の半導体素子16は第1の半導体素子14に載った状態で第2群のバンプ電極22によってプリント配線基板12に実装される。第2の半導体素子18は第2の半導体素子16に載った状態で第3群のバンプ電極24によってプリント配線基板12に実装される。このようにして、3次元的に実装された3つの半導体素子14、16、18からなる半導体装置10を簡単に且つ確実に製造することができる。本実施例では、複数の半導体素子用のバンプ電極が単一基板へ一括して形成されている。

【0012】図3は本発明の実施例のはんだバンプの形成方法を示す図である。図4は図3のはんだバンプの形成方法の続きの工程を示す図である。図5は図3のはんだバンプの形成方法の続きの工程を示す図である。図3(A)において、複数の群の電極パッド20A、22A、24Aを有するプリント配線基板12を準備する。第1群の電極パッド20Aは図1の第1群のバンプ電極20に対応する位置に形成されている。第2群の電極パッド22Aは図1の第2群のバンプ電極22に対応する位置に形成されている。第3群の電極パッド24Aは図1の第3群のバンプ電極24に対応する位置に形成されている。第3群の電極パッド24Aの面積は第2群の電極パッド22Aの面積よりも大きく、第2群の電極パッド22Aの面積は第1群の電極パッド20Aの面積よりも大きい。

【0013】樹脂の膜26が電極パッド20A、22

4

A、24Aを覆うようにプリント配線基板12の表面を覆って形成される。樹脂の膜26は好ましくはレジストからなる。一例においては、樹脂の膜26はプリント配線基板12の表面にラミネートされたドライフィルムレジストからなる。また、樹脂の膜26はプリント配線基板12の表面に塗布されたレジストでもよい。

【0014】図3(B)において、樹脂の膜26に各電極パッド20A、22A、24Aに対応し且つ該電極パッド20A、22A、24A群毎に大きさの異なる開口部20B、22B、24Bを形成する。開口部20B、22B、24Bは、レジストからなる樹脂の膜26に、露光及び現像により形成される。このとき、2段目に実装される第2の半導体素子16を接合するためのバンプ電極22を形成するための開口部22Bの大きさは、1段目に実装される第1の半導体素子14を接合するためバンプ電極20を形成するための開口部20Aの大きさよりも大きく形成しておく。同様に、3段目に実装される第3の半導体素子18を接合するためのバンプ電極24を形成するための開口部24Bの大きさは、2段目に実装される第2の半導体素子16を接合するためバンプ電極22を形成するための開口部22Aの大きさよりも大きく形成しておく。

【0015】図3(C)において、樹脂の膜26の表面にバンプ電極となる金属を含むはんだペースト28を供給し、スキージングによりはんだペースト28を開口部20B、22B、24Bに充填する。図3(D)において、はんだペースト28をリフローし、はんだペースト28中の金属によりバンプ電極20、22、24を形成する。バンプ電極20、22、24は電極パッド20A、22A、24Aにそれぞれ溶着される。その後、はんだペースト28中のフラックス成分は洗浄される。

【0016】図4(A)において、2段目に実装される第2の半導体素子16を接合するためのバンプ電極22を形成するための開口部22Bに相当する位置にのみ開口部を有するメタルマスク30を被せ、スキージングにより開口部22Bにはんだペースト32を充填する。このはんだペースト32中の金属の融点は、最初に充填されたはんだペースト28中の金属の融点より低い。例えば、1回目に充填されたはんだペースト28中の金属は、 $\text{Sn}:\text{Pb}=90\sim95:10\sim5$ の合金である。2回目に充填されたはんだペースト32中の金属は、 $\text{Sn}:\text{Ag}=99\sim95:1\sim5$ の合金である。

【0017】図4(B)において、メタルマスク30を剥がす。図4(C)において、はんだペースト32をリフローし、バンプ電極22を再形成する。リフローは、最初に充填されたはんだペースト28中の金属の融点より低く、今回充填されたはんだペースト32中の金属の融点よりも高い温度で加熱することにより実施される。はんだペースト32中の金属が溶融し、前に形成したはんだペースト28中の金属で形成されたバンプ電極2

(4)

5

0、24及びバンプ電極22の部分(コア)は熔融しない。こうして、高融点のコアを有するバンプ電極22を形成する。バンプ電極22の高さはバンプ電極20の高さよりも高くなる。その後、はんだペースト32中のフラックス成分は洗浄される。

【0018】さらに、図5(A)において、3段目に実装される第3の半導体素子18を接合するためのバンプ電極24を形成するための開口部24Bに相当する位置にのみ開口部を有するメタルマスク34を被せ、スキージングにより開口部24Bにはんだペースト36を充填する。このはんだペースト36は、2回目に充填されたはんだペースト32中の金属の融点より低い融点を有する金属を含む。例えば、3回目に充填されたはんだペースト36中の金属は、Sn:Pb=60~70:40~30の合金である。

【0019】図5(B)において、メタルマスク34を剥がす。図5(C)において、はんだペースト36をリフローし、バンプ電極24を再形成する。リフローは、2回目に充填されたはんだペースト32中の金属の融点より低く、今回充填されたはんだペースト36中の金属の融点よりも高い温度で加熱することにより実施される。はんだペースト36中の金属が熔融し、前に形成したはんだペースト28、32中の金属で形成されたバンプ電極20、22及びバンプ電極24のコアは熔融しない。こうして、高融点のコアを有するバンプ電極24を形成する。バンプ電極24の高さはバンプ電極22、20の高さよりも高くなる。その後、はんだペースト32中のフラックス成分は洗浄される。

【0020】図5(D)において、プリント配線基板12を覆っていた樹脂の膜26を剥離する。これによって、プリント配線基板12は、サイズ、組成、高さの異なる複数のバンプ電極20、22、24を有することになる。これらのバンプ電極20、22、24の組成に適応した温度で、第1、第2、第3の半導体素子14、16、18をプリント配線基板12にフリップチップ実装することにより、図1及び図2に示された3次元実装構造の半導体装置10を得ることができる。この場合、第1、第2、第3の半導体素子14、16、18は、バンプ電極20、22、24の融点に合わせて、段階的に実装される。積層実装される上段の半導体素子16、18は、下段の半導体素子14、16に比べ長辺を有している。

【0021】上記方法により形成されたバンプ電極を用い、チップオンチップパッケージ、システムインパッケージ、及びチップオンチップモジュールとともに、積層実装されたパッケージ及びモジュール形態の半導体装置を製造することが可能である。以上説明したように、単一基板上へサイズ、組成、高さの異なるバンプ電極を形成することにより、ベアチップ実装を行うために個々の半導体素子へバンプ電極を形成する工程を省略するこ

6

とができる。バンプ電極を形成する基板の簡略化も可能である。上段に実装される半導体素子用の電極パッド及びバンプ電極のサイズが大きい場合、実装ストレスによるバンプ電極と電極パッドの間での剥がれによる電気的な接触不良を防止できる。また、各バンプ電極は、高融点コアを有しているため、実装時のバンプ電極間のショートを防止できるとともに、実装時及び実装後にかかるストレスによるバンプの変移を吸収でき、効果は大きい。

【0022】また、本実施例では、樹脂の膜26に複数の群に分けられる開口部を形成した後、その開口部にはんだペーストを充填し、リフローによりバンプ電極を形成する。そして、樹脂の膜26の開口部へのはんだペーストの充填は、樹脂の膜26の表面ではんだペーストをスキージングすることにより行う方法と、又はメタルマスクを被せてスキージングにより充填する方法とがある。本実施例では、これらの2つのスキージングを併用している。上記方法により形成されるバンプ電極は、最後の工程で形成されたバンプ電極以外の全てのバンプ電極が、樹脂の膜よりも突出していない。

【0023】図6は本発明の他の実施例の半導体装置を示す略解的平面図である。半導体装置40は、プリント配線基板42と、第1の半導体素子24と、第2の半導体素子26と、第3の半導体素子28とからなる。第2、第3の半導体素子26、18は互いに同じ機能を有する。プリント配線基板42は、第1群のバンプ電極50と、第2群のバンプ電極52と、第3群のバンプ電極54とを含む。第1群のバンプ電極50はプリント配線基板42の中央部に位置し、最も背が低く、且つ最も面積が小さい。第2、第3群のバンプ電極52、54は第1群のバンプ電極50の外側に互に対称に位置し、第1群のバンプ電極50よりも背が高く、且つ面積が大きい。第1の半導体素子24は第1群のバンプ電極50によってプリント配線基板42に実装される。第2、第3の半導体素子26、48は第1の半導体素子24に載った状態で第2、第3群のバンプ電極52、54によってプリント配線基板42に実装される。バンプ電極50、52、54はプリント配線基板42に図3から図5を参照して説明したようにして形成される。ただし、第2、第3群のバンプ電極52、54は同時に形成されるので、はんだペーストの充填及びリフローは2回でよい。このように、同一機能又は異なった機能をもった複数の半導体素子を並列的に形成することもできる。

【0024】図7は本発明の他の実施例の半導体装置を示す略解的平面図である。半導体装置60は、プリント配線基板62と、第1の半導体素子64と、第2の半導体素子66とからなる。プリント配線基板62は、第1群のバンプ電極68と、第2群のバンプ電極70とを含む。第1群のバンプ電極68はプリント配線基板62の中央部に位置し、最も背が低く、且つ最も面積が小

(5)

7

い。第2群のバンプ電極70は第1群のバンプ電極68の外側でプリント配線基板62の対角線上に位置する。第1の半導体素子64は第1群のバンプ電極68によってプリント配線基板62に実装される。第2の半導体素子66は第1の半導体素子64に載った状態で第2群のバンプ電極70によってプリント配線基板62に実装される。バンプ電極68, 70はプリント配線基板62に図3から図5を参照して説明したようにして形成される。ただし、はんだペーストの充填及びリフローは2回でよい。このように、基板の面積、スペース、配線の状況に応じて、半導体をあらゆる角度で実装することが可能になる。この積層の実施例は一例であり、2段や3段に限定されるものではない。それ以上の多段実装が可能である。各群のバンプ電極は、2個以上のバンプ電極で構成されており、且つ複数列、ジグザク配列等、あらゆる配置が可能である。

【0025】

【発明の効果】以上説明したように、本発明によれば、単一の基板へ複数の特徴をもったバンプ電極を形成することにより、積層実装する半導体素子へのバンプ電極形成工程を省略することができる。また、基板上に設けた膜に開口部を設けてバンプ電極を形成することにより、バンプ電極を簡単且つ確実に形成することができる。また、バンプ電極を有する基板の簡略化も可能である。

【図面の簡単な説明】

【図1】本発明の実施例の半導体装置を示す断面図である。

【図2】図1の半導体装置を示す略解的平面図である。

【図3】本発明の実施例のはんだバンプの形成方法を示す図である。

8

【図4】図2のはんだバンプの形成方法の続きの工程を示す図である。

【図5】図2のはんだバンプの形成方法の続きの工程を示す図である。

【図6】本発明の他の実施例の半導体装置を示す略解的平面図である。

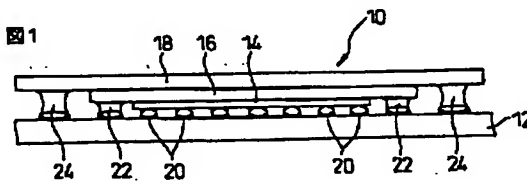
【図7】本発明の他の実施例の半導体装置を示す略解的平面図である。

【符号の説明】

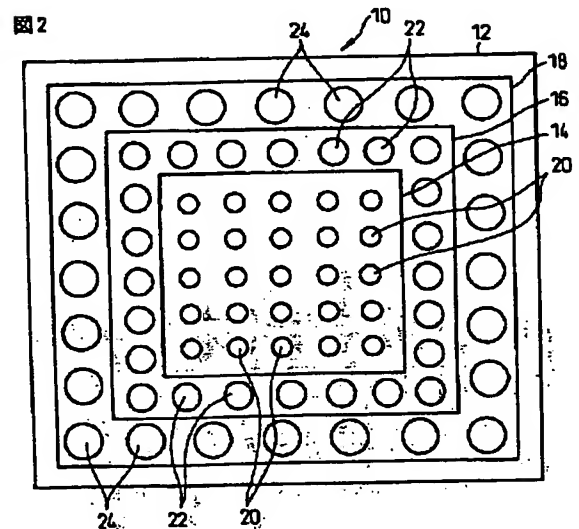
- 10…半導体装置
- 12…プリント配線基板
- 14…半導体素子
- 16…半導体素子
- 18…半導体素子
- 20…バンプ電極
- 20A…電極パッド
- 20B…開口部
- 22…バンプ電極
- 22A…電極パッド
- 22B…開口部
- 24…バンプ電極
- 24A…電極パッド
- 24B…開口部
- 26…膜
- 28…はんだペースト
- 30…メタルマスク
- 32…はんだペースト
- 34…メタルマスク
- 36…はんだペースト

30

【図1】

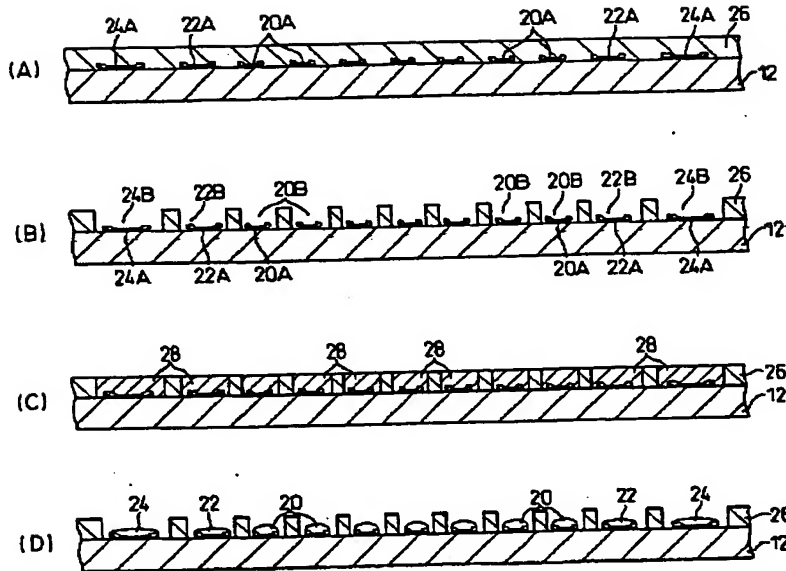


【図2】

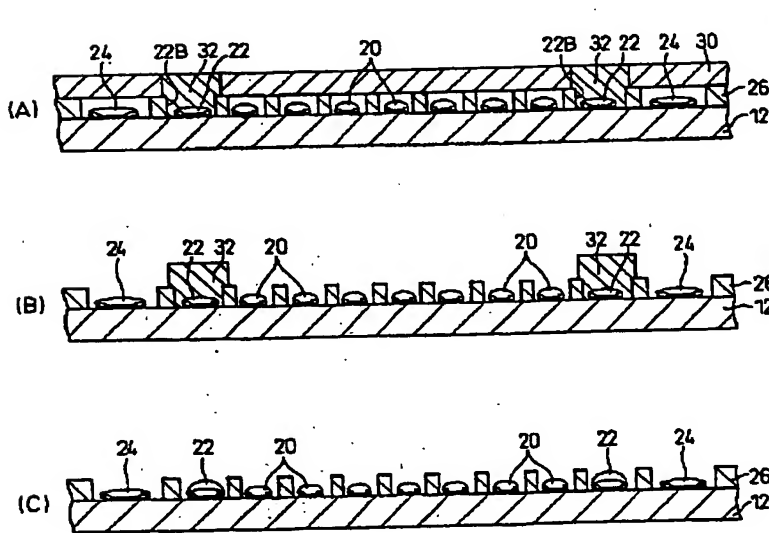


(6)

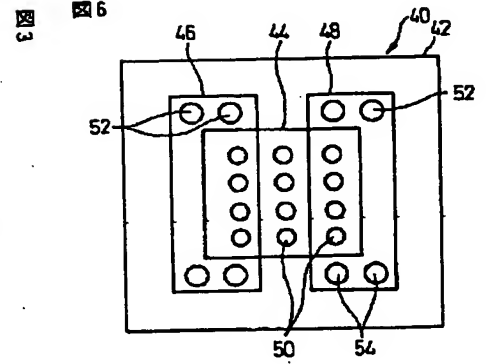
【図 3】



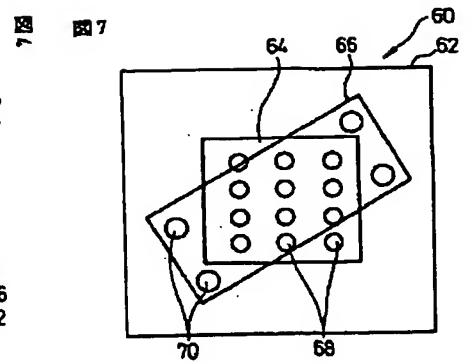
【図 4】



【図 6】

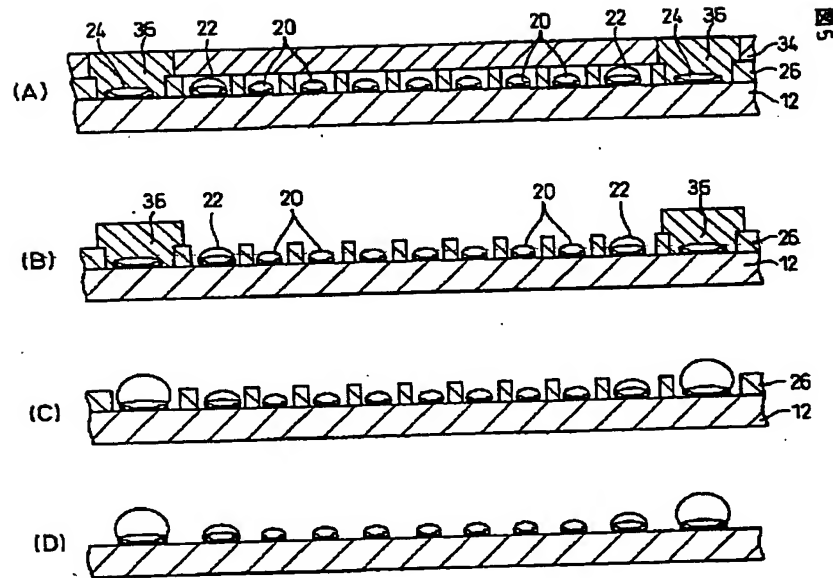


【図 7】



(7)

【図5】



フロントページの続き

(51) Int. Cl. 7

H05K 3/34

識別記号

505

FI

テーマコード(参考)

(72) 発明者 吉川 政廣
 神奈川県川崎市中原区上小田中4丁目1番
 1号 富士通株式会社内

Fターム(参考) 5E319 AA03 AB05 AC01 BB04 BB05
 CC33 CD04 CD26 GG03 GG15
 5F044 KK17 KK19 LL01 LL04 RR03

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.